

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-232654

(43)Date of publication of application : 19.08.1994

(51)Int.Cl.

H03F 3/45
H03F 1/08
H03F 1/22
H03F 3/345
H03F 3/50

(21)Application number : 05-016027

(71)Applicant : NEC CORP

(22)Date of filing : 03.02.1993

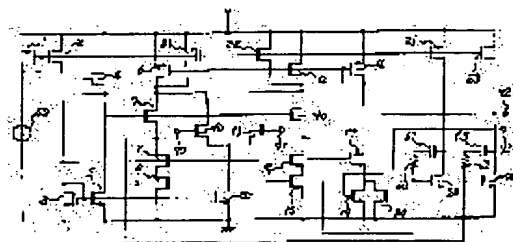
(72)Inventor : YAMANE HIROTAKA
ETO TOSHIYUKI

(54) OPERATIONAL AMPLIFIER CIRCUIT

(57)Abstract:

PURPOSE: To obtain a circuit configuration of a full differential amplifier circuit capable of fixing an in-phase potential at an output terminal to a desired value, low in the sensitivity against dispersion in the elements and high in in-phase gain.

CONSTITUTION: Transistors(TRs) 10, 11, 33 form a differential pair and drains are respectively connected to drains of constant current source TRs 31, 32. Furthermore, drains of TRs 19, 20 whose gates are connected respectively to output terminals 72, 73 are connected in common and to a TR 17 in cascade and connected to a mirror circuit comprising TRs 16, 12 and 16, 6, drains of the TRs 6, 12 are connected respectively to drains of the differential pair and the drains are connected to drains of TRs 9, 15 whose gates connect to a reference potential point via TRs 8, 14 in cascode connection. TRs 22, 24 form an output stage and TRs 1-5 and a constant current source 50 form a bias circuit.



LEGAL STATUS

[Date of request for examination] 17.12.1997

[Date of sending the examiner's decision of rejection] 11.07.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 2 3 2 6 5 4

(43) 公開日 平成6年 (1994) 8月19日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 F	3/45	Z 7436-5 J		
	1/08	7350-5 J		
	1/22	7350-5 J		
	3/345	B 8124-5 J		
	3/50	8124-5 J		
審査請求 未請求 請求項の数 2		OL	(全 4 頁)	

(21) 出願番号 特願平5-16027

(22) 出願日 平成5年 (1993) 2月3日

(71) 出願人 000004237

日本電気株式会社
東京都港区芝五丁目7番1号

(72) 発明者 山根 浩敬

東京都港区芝五丁目7番1号日本電気株式会
社内

(72) 発明者 江藤 俊之

東京都港区芝五丁目7番1号日本電気株式会
社内

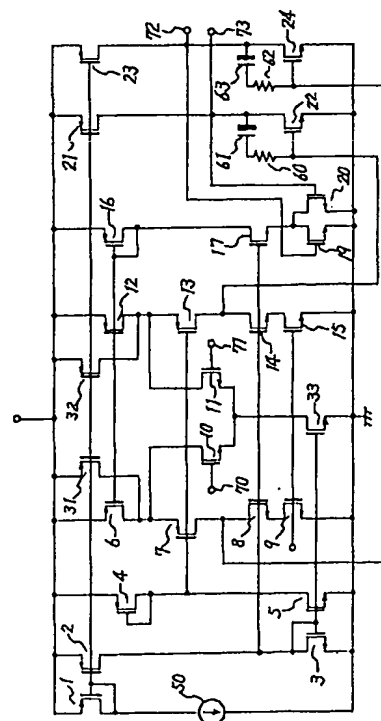
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 演算増幅回路

(57) 【要約】 (修正有)

【目的】 全差動型回路に於いて出力端子の同相電位を、
所望の値に固定でき、かつ素子バラツキに対する感度が
低く、高い同相利得を持つ回路構成を得る。

【構成】 トランジスタ 10, 11, 33 で差動対を構成
し、そのドレインがそれぞれ、定電流源トランジスタ 3
1, 32 のドレインに接続されている。また、出力端子
72, 73 がゲートに接続されたトランジスタ 19, 2
0 のドレインが共通に接続されかつカスコード接続され
たトランジスタ 17 を介して、トランジスタ 16 と 1
2、及び 16 と 6 のミラー回路に接続され、かつトラン
ジスタ 6, 12 のドレインが前記差動対のドレインにそ
れぞれ接続され、また、これらのドレインはカスコード
接続のトランジスタ 8, 14 を介して、ゲートが基準電
位に接続されたトランジスタ 9, 15 のドレインに接続
される。トランジスタ 22, 24 で出力段が、トランジ
スタ 1 ~ 5, 定電流源 50 でバイアス回路を構成する。



【特許請求の範囲】

【請求項 1】 ゲートが入力端子に各々導出された差動対を設け、前記差動対のドレイン又はソースがそれぞれ、ソース又はドレインを第 1 の電源に接続した第 1、第 2 のトランジスタのドレイン又はソースに接続され、前記第 1、第 2 のトランジスタは、ソース又はドレインを前記第 1 の電源に接続した第 3 のトランジスタとカレントミラー回路を形成し、前記第 3 のトランジスタのゲートとドレイン又はソースは、カスコード接続された第 4 のトランジスタを介して、ドレイン又はソースが共通接続されかつそれぞれのゲートが出力端子に接続された第 5、第 6 のトランジスタのドレイン又はソースに接続され、前記差動対の出力は、カスコード接続された第 7、第 8 のトランジスタを介して、第 9、第 10 の出力トランジスタのゲートにそれぞれ接続され、かつカスコード接続された第 11、第 12 のトランジスタを介して、ゲートが第 3 の電源に接続された第 13、第 14 のトランジスタのドレイン又はソースに接続されていることを特徴とする演算増幅回路。

【請求項 2】 請求項 1 の演算増幅回路において、前記第 1、第 2 のトランジスタとそれぞれ並列に第 15、第 16 のトランジスタが接続され、前記第 15、第 16 のトランジスタのゲートはいずれも第 4 の電源に接続されていることを特徴とする演算増幅回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は演算増幅回路に関し、特に集積回路化された全差動演算増幅回路に関する。

【0002】

【従来の技術】 従来の全差動演算増幅回路は、図 3 に示すように差動回路の入力段と、縦続接続された出力段および同相帰還回路を有する（例えば、IEEE J. Solid-State Circuits, SC-17, 969-982）。

【0003】 図 3 に示された回路は、トランジスタ 107、108、111 で構成される差動回路と、トランジスタ 130~139 で構成されるカスコード回路の出力段および同相帰還回路で構成される。ここでトランジスタ 103、および定電流源 150 は、バイアス回路である。

【0004】 次に、動作について説明する。入力端子 160、161 に印加された差動入力信号は、入力差動回路により差動電流に変換され、次段の出力回路に入力される。トランジスタ 131 と 138、トランジスタ 132 と 137、トランジスタ 133 と 136 のゲートは、各々端子 165、166、167 に導出され、一定電圧にバイアスされる。トランジスタ 131 と 138、トランジスタ 132 と 137 はカスコード回路を構成し、高い出力インピーダンスを有することにより、大きな電圧増幅率を得ている。トランジスタ 134 と 135

のドレイン-ソース間電圧は、各々のゲート-ソース間電圧よりも小さいため、三極管領域で動作をしている。

【0005】 いま、何らかの理由で、出力端子 162、163 の同相電位が高くなったとすると、トランジスタ 134 と 135 の ON 抵抗は大きくなり、トランジスタ 132 と 137 を流れる電流は減少する。このため、出力端子の電位は低くなろうとする。即ち、同相帰還回路として動作している事が分かる。この回路は、差動入力、差動出力であるため、同相雑音に対する影響を抑える事ができる。また、出力信号のダイナミック・レンジもシングルエンド型の回路に比べ、2 倍となり、S/N に対し有利となる。

【0006】

【発明が解決しようとする課題】 前述した従来の全差動演算増幅回路では、出力端子の同相電位を希望の電位に固定することが難しく、素子バラツキに対する感度が高い。また、同相信号に対する利得が低いため、用途によっては同相雑音の抑圧度が不足するという欠点がある。さらに、出力部分でトランジスタが何段にも縦積みされた構成となっているので、電源電圧が低い時には不向きである。

【0007】 本発明の目的は、このような欠点を除き、素子バラツキに対して安定度の高い演算増幅回路を提供することにある。

【0008】

【課題を解決するための手段】 本発明の第 1 の演算増幅回路の構成は、ゲートが入力端子に各々導出された差動対を設け、前記差動対のドレイン又はソースがそれぞれ、ソース又はドレインを第 1 の電源に接続した第 1、第 2 のトランジスタのドレイン又はソースに接続され、前記第 1、第 2 のトランジスタは、ソース又はドレインを前記第 1 の電源に接続した第 3 のトランジスタとカレントミラー回路を形成し、前記第 3 のトランジスタのゲートとドレイン又はソースは、カスコード接続された第 4 のトランジスタを介して、ドレイン又はソースが共通接続されかつそれぞれのゲートが出力端子に接続された第 5、第 6 のトランジスタのドレイン又はソースに接続され、前記差動対の出力は、カスコード接続された第 7、第 8 のトランジスタを介して、第 9、第 10 の出力トランジスタのゲートにそれぞれ接続され、かつカスコード接続された第 11、第 12 のトランジスタを介して、ゲートが第 3 の電源に接続された第 13、第 14 のトランジスタのドレイン又はソースに接続されていることを特徴とする。

【0009】 本発明の第 2 の演算増幅回路の構成は、前記第 1 の演算増幅回路に加えて、さらに前記第 1、第 2 のトランジスタとそれぞれ並列に第 15、第 16 のトランジスタが接続され、前記第 15、第 16 のトランジスタのゲートはいずれも第 4 の電源に接続されていることを特徴とする。

【0010】

【実施例】図1は、本発明の第1の実施例の演算増幅回路を示す回路図である。図1において、本第1の実施例の演算増幅回路は、トランジスタ10、11、33で差動対を構成し、前記差動対のドレインがそれぞれ、定電流源を担うトランジスタ31、32のドレインに接続されている。また、出力端子がゲートに接続されたトランジスタ19、20のそれぞれのドレインが共通に接続されかつ前記ドレインがカスコード接続されたトランジスタ17を介して、トランジスタ16と12、かつトランジスタ16と6とで構成されたミラー回路に接続され、かつ前記ミラー回路のトランジスタ6、12のドレインが前記差動対のドレインにそれぞれ接続されている。また、前記差動対のドレインはカスコード接続されたトランジスタ8、14を介して、ゲートが基準電位に接続されたトランジスタ9、15のドレインに接続されている。トランジスタ22、24で出力段が構成され、トランジスタ1～5、定電流源50でバイアス回路を構成する。また、抵抗60、62、容量61、63の直列体が、それぞれトランジスタ22、24に接続される。

【0011】以上の特徴を持った構成とする事で、出力の同相電位を、第3の電源と同電位になるように同相帰還をかけることが可能となる。

【0012】次に、この構成における通常時の動作を説明する。前記差動対を構成するトランジスタ10、11のゲートを入力端子70、71とし、前記入力端子70、71に印加された入力差動信号は、ゲート接地トランジスタ7、13と負荷トランジスタ8、14を介して増幅され、次段の出力トランジスタ22、24により更に増幅され、差動出力端子72、73から出力される。

【0013】次に、同相帰還時の動作について説明する。まず、何らかの理由で、差動出力の同相信号成分が増加した場合を考える。このとき、トランジスタ19、20のドレインの電位が十分に低く設定されていれば、各々は3極管領域で動作しているので、トランジスタのON抵抗は小さくなる。従って、トランジスタ19、20のドレイン電流が増加する。この増加した分の電流は、トランジスタ6、12、16で構成されるカレントミラー回路を介して、前記差動対の出力に帰還される。このように帰還された電流は、トランジスタ8、14、9、15、33、31、32の電流が固定されているので、トランジスタ22、24で構成される出力段への信号に重畳され、トランジスタ22、24のゲート電位を押し上げ、トランジスタ22、24の出力電流であるド

レイン電流を増加させ、差動出力の同相電位を引き下げることができる。このとき、帰還が安定に達するのは、定電流源を担うトランジスタ31、32からの電流に同相帰還を与えるトランジスタ6、12との電流の和が、基準電位にゲートが固定された負荷トランジスタ9、15の電流とバランスしたときである。トランジスタ9、15のゲートが基準電位に接続されているということは、その電流は、基準電位を参照しているということであり、つまり、差動出力の同相電位は、基準電位によって、一意に決めることができる。

【0014】図2は本発明の第2の実施例の演算増幅回路を示す回路図である。図2において、本第2の実施例は、前記第1の実施例において差動対の出力に与えるバイアス電流を担うトランジスタと帰還電流を与えるトランジスタとを、それぞれ別に設けていたが、本第2の実施例では素子のばらつきの影響を抑えるために、これを共通化している。

【0015】即ち、図1のトランジスタ31、32、33を省略し、トランジスタ41、42を追加している。その他の回路部分は、図1と同様である。

【0016】そのため、差動対を構成するトランジスタ10、11のソースに接続された定電流源を、カスコード接続されたトランジスタ41を介して、ゲートが基準電位に接続されたトランジスタ42としている。本第2の実施例の動作については、前記第1の実施例と同様なので省略する。

【0017】

【発明の効果】以上説明したように、本発明は特に全差動演算増幅回路の同相信号を正確に所望の電位に固定でき、また容易に十分高い同相帰還利得を得る事ができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の演算増幅回路を示す回路図である。

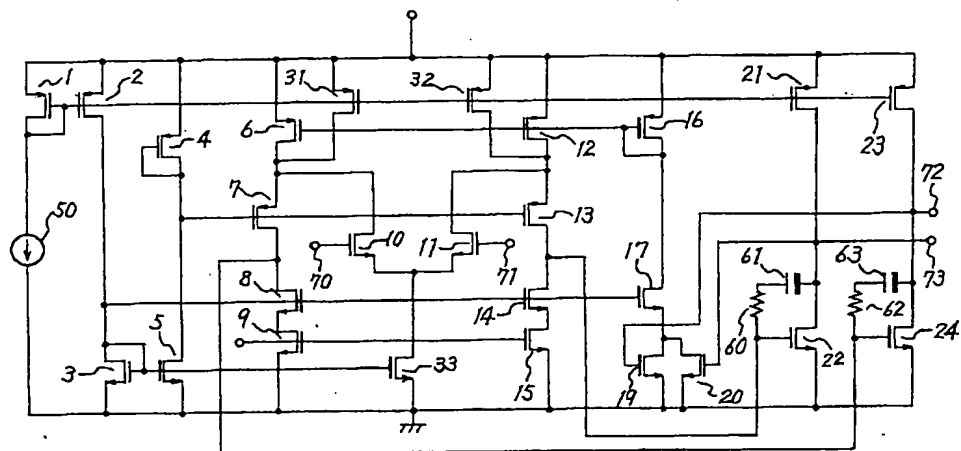
【図2】本発明の第2の実施例を示す回路図である。

【図3】従来の演算増幅回路を示す回路図である。

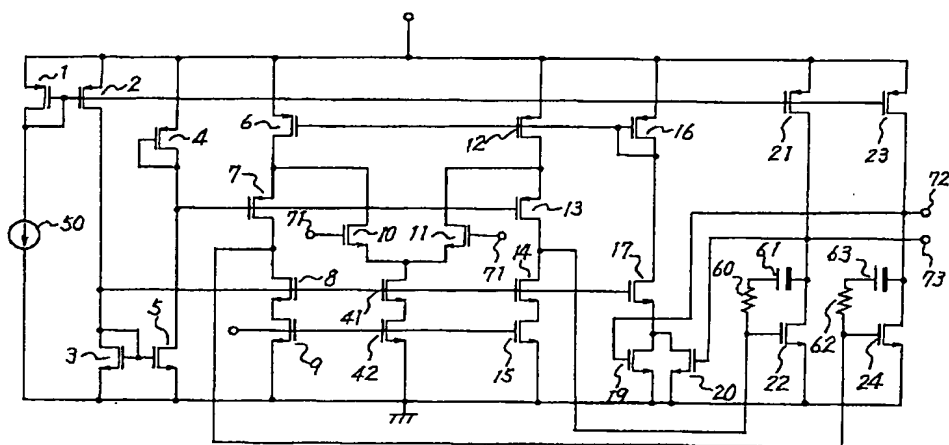
【符号の説明】

1～42、103、107、108、111、130～139 トランジスタ
60、62 抵抗
61、63 容量
50、150 定電流源
70、71、160、161 入力端子
72、73、162、163 出力端子

【図 1】



【図 2】



【図 3】

